



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Tatsuhiko KAWASAKI et al.

Application No.:

Group Art Unit:

Filed: April 25, 2001

Examiner:

For: PLASMA DISPLAY PANEL AND METHOD OF DRIVING THE SAME

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. §1.55**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. §1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

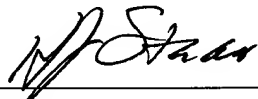
Japanese Patent Application No. 2000-373748

Filed: December 8, 2000

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. §119.

Respectfully submitted,

STAAS & HALSEY LLP

By:   
H. J. Staas  
Registration No. 22,010

Date: April 25, 2001  
700 11th Street, N.W., Ste. 500  
Washington, D.C. 20001  
(202) 434-1500

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application:

2000年12月 8日

出 願 番 号  
Application Number:

特願2000-373748

出 願 人  
Applicant(s):

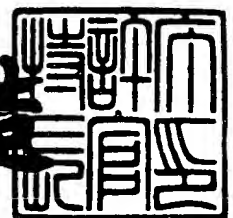
富士通日立プラズマディスプレイ株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 3月 2日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3013229

【書類名】 特許願

【整理番号】 0090175

【提出日】 平成12年12月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 11/00

【発明の名称】 プラズマディスプレイパネルおよびその駆動方法

【請求項の数】 7

【発明者】

    【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立  
    プラズマディスプレイ株式会社内

    【氏名】 川▲崎▼ 龍彦

【発明者】

    【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立  
    プラズマディスプレイ株式会社内

    【氏名】 平川 仁

【発明者】

    【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立  
    プラズマディスプレイ株式会社内

    【氏名】 椎崎 貴史

【発明者】

    【住所又は居所】 神奈川県川崎市高津区坂戸3丁目2番1号 富士通日立  
    プラズマディスプレイ株式会社内

    【氏名】 佐々木 孝

【特許出願人】

    【識別番号】 599132708

    【氏名又は名称】 富士通日立プラズマディスプレイ株式会社

【代理人】

    【識別番号】 100086933

    【弁理士】

【氏名又は名称】 久保 幸雄

【電話番号】 06-6304-1590

【手数料の表示】

【予納台帳番号】 010995

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9912413

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プラズマディスプレイパネルおよびその駆動方法

【特許請求の範囲】

【請求項 1】

マトリクス表示の行選択のためのスキャン電極群と、列選択のためのデータ電極群と、放電空間を少なくとも列毎に区画する隔壁とを有したプラズマディスプレイパネルであって、

マトリクス表示の各列に対して、列の一端から他端まで連続するデータ電極が  $k$  ( $k \geq 2$ ) 本ずつ配置され、

表示面内の全てのスキャン電極が  $k$  個のグループに分類されるとともに、各列における  $k$  本のデータ電極に対して前記  $k$  個のグループが 1 個ずつ割り当てられ

各データ電極は、前記スキャン電極群のうちの当該データ電極に割り当てられたグループに属するスキャン電極のみと前記隔壁と重ならない位置で交差または対向し、かつ残りのスキャン電極とは前記隔壁と重なる位置で交差する

ことを特徴とするプラズマディスプレイパネル。

【請求項 2】

表示面内の複数のスキャン電極が、前記  $k$  個のグループから 1 本ずつ計  $k$  本を選んでまとめるように  $k$  本ずつ電氣的に共通化された

請求項 1 記載のプラズマディスプレイパネル。

【請求項 3】

全てのデータ電極の両端が、前記表示面を囲んで前記放電空間を密閉する封止材の外側に導出された

請求項 1 記載のプラズマディスプレイパネル。

【請求項 4】

各データ電極は、当該データ電極に割り当てられたグループに属するスキャン電極と交差または対向する部分の幅が局所的に広い平面視形状をもつ

請求項 1 記載のプラズマディスプレイパネル。

【請求項 5】

マトリクス表示の行選択のためのスキャン電極群と、列選択のためのデータ電極群と、放電空間を少なくとも列毎に区画する隔壁とを有したプラズマディスプレイパネルの駆動方法であって、

マトリクス表示の各列に対して、列の一端から他端まで連続するデータ電極を  $k$  ( $k \geq 2$ ) 本ずつ配置し、

表示面内の全てのスキャン電極を  $k$  個のグループに分類するとともに、各列における  $k$  本のデータ電極に対して前記  $k$  個のグループを 1 個ずつ割り当て、

各データ電極を、前記スキャン電極群のうちの当該データ電極に割り当てたグループに属するスキャン電極のみと前記隔壁と重ならない位置で交差または対向させ、かつ残りのスキャン電極とは前記隔壁と重なる位置で交差させ、

表示面内の複数のスキャン電極を、前記  $k$  個のグループから 1 本ずつ計  $k$  本を選んでまとめる要領で  $k$  本ずつ電氣的に共通化し、

表示内容に応じてスキャン電極群およびデータ電極群の電位を制御するアドレスリングに際して、共通化したスキャン電極に対応する  $k$  行を同時に選択することを特徴とするプラズマディスプレイパネルの駆動方法。

#### 【請求項 6】

行配列の一端から他端へ配列順に  $k$  行ずつ行選択を行い、その際に同時に選択する  $k$  行のうちの前記他端に最も近い 1 行に対応したデータ電極と、前記一端に最も近い 1 行に対応したデータ電極とについて異なる電位設定を行う

請求項 5 記載のプラズマディスプレイパネルの駆動方法。

#### 【請求項 7】

放電空間を形成する一対の基板を有し、その一方の基板上にマトリクス表示の行選択のためのスキャン電極群、他方の基板上に列選択のためのデータ電極群を備えたプラズマディスプレイパネルであって、

マトリクス表示の各列に 2 本のデータ電極を配置するとともに、所定の行数ごとに前記 2 本のデータ電極を交互に有効と無効にするべく当該無効箇所での前記スキャン電極との間の放電を妨げる障壁をデータ電極対応部に設けた

ことを特徴とするプラズマディスプレイパネル。

#### 【発明の詳細な説明】

## 【 0 0 0 1 】

## 【発明の属する技術分野】

本発明は、プラズマディスプレイパネル（以下、PDPという）およびその駆動方法に関する。

## 【 0 0 0 2 】

PDPは大画面の表示デバイスとして発展してきており、PDPを用いた25インチ型高精細モニターや60インチ型テレビジョン受像機が実用化されている。市場ではさらに大きい画面が要求されており、それに応える技術開発が進められている。

## 【 0 0 0 3 】

## 【従来の技術】

AC型のPDPによる表示では、マトリクス配列されたセルのうちの点灯すべきセルのみに適量の壁電荷を形成する線順次走査形式のアドレッシングを行い、その後に壁電荷を利用して表示階調に応じた回数の表示放電を生じさせる。アドレッシングの所要時間は表示面の行数（垂直方向の解像度）に比例するので、解像度が大きくなるにつれて、フレーム期間のうちの表示放電のために割り当て可能な期間が短くなる。また、階調表示のためのフレーム分割の分割可能数が小さくなる。つまり、高解像度のPDPでは高輝度化および多階調化が難しい。

## 【 0 0 0 4 】

従来、アドレッシングの所要時間を短縮する手法として、図20（A）のように表示面80を上下に2分割し、2個の表示領域81、82のアドレッシングを並行して行う“デュアルスキャン”がある。表示面80の分割に合わせてデータ電極が分断され、表示領域81、82における列選択はそれぞれに対応したデータ電極D1、D2によって行われる。デュアルスキャンでは、2行ずつ行選択を行うので、アドレッシングの所要時間は1行ずつ行うシングルスキャンの場合の1/2である。また、特開平11-312471号公報には、図20（B）のように表示面90を4分割する手法が記載されている。この手法では、上下方向における中央部の表示領域92、93のデータ電極D12、D22は、駆動回路と接続するために端部の表示領域91、94を通して表示面90の外側へ引き出され

る。表示領域 9 1, 9 4 において、データ電極 D 1 1, D 2 1 がスキャン電極との間でアドレス放電が生じるように配置されるのに対し、データ電極 D 1 2, D 2 2 は放電が生じないように放電空間を区画する隔壁 2 9 0 によって絶縁される。表示面 9 0 の 4 分割によれば、アドレッシングの所要時間を  $1/4$  に短縮することができる。

【0 0 0 5】

【発明が解決しようとする課題】

表示面内でデータ電極を分断する従来の手法では、同時に選択可能な行どうしの間に、これらとは同時に選択できない行が数多く存在する。例えば、行数が 1 0 2 4 の表示面を 2 分割するデュアルスキャンでは、2 個の表示領域 8 1, 8 2 の先頭行どうしの間の行数は 5 1 1 ( $= 1 0 2 4 \div 2 - 1$ ) である。このため、同時に選択可能な行に対応したスキャン電極を電氣的に共通化し、それによって駆動回路の部品点数を削減しようとする、多数のスキャン電極を跨ぐ複雑な多層配線を行わなければならない。PDP を構成する基板、PDP と駆動回路基板とを接続する配線ケーブル、および駆動回路基板のいずれで多層配線を行っても価格上昇は避けられない。

【0 0 0 6】

また、データ電極の一端のみが表示面の外側に引き出されるので、データ電極が断線した場合に、断線箇所より中央側のセルの制御が不可能になるという問題があった。

【0 0 0 7】

本発明は、複雑な多層配線によらずにスキャン電極の電位制御に必要な回路素子の削減を実現することを目的としている。

【0 0 0 8】

【課題を解決するための手段】

本発明においては、マトリクス表示の各列に対して、列の一端から他端まで連続するデータ電極を  $k$  ( $k \geq 2$ ) 本ずつ配置し、表示面内の全てのスキャン電極を  $k$  個のグループに分類するとともに、各列における  $k$  本のデータ電極に対して  $k$  個のグループを 1 個ずつ割り当て、各データ電極を、スキャン電極群のうちの



当該データ電極に割り当てたグループに属するスキャン電極のみと隔壁で絶縁されない位置（平面視において隔壁と重ならない領域）で交差または対向させ、かつ残りのスキャン電極と隔壁により絶縁される位置で交差させる。これにより、同時に選択可能な $k$ 行を互いに近づけることができ、これらの行に対応したスキャン電極を容易に結線することができる。行数に係わらず単層配線での結線が可能である。結線をどこで行うかについての制限はなく、PDPを構成する基板・PDPと駆動回路基板とを接続する配線ケーブル・駆動回路基板のいずれで行ってもよい。

【0009】

【発明の実施の形態】

以下、1列あたりのデータ電極数 $k$ を2とした本発明の実施形態を説明する。

〔第1実施形態〕

図1は本発明に係る表示装置の構成図である。表示装置100は、 $m \times n$ 個のセルからなる表示面を有した面放電型のPDP1と、セルの発光を制御するドライバユニット70とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0010】

PDP1では、表示放電を生じさせるための電極対を構成する表示電極X、Yが平行配置され、これら表示電極X、Yと交差するようにアドレス電極A1、A2が配列されている。表示電極X、Yは画面の行方向（水平方向）に延び、アドレス電極は列方向（垂直方向）に延びている。図において表示電極X、Yの参照符号の添字（1， $n$ ）は対応する“行”の配列順位を示し、アドレス電極A1、A2の参照符号の添字（1， $m$ ）は対応する“列”の配列順位を示す。行は列方向の配置順序が等しい列数分（ $m$ 個）のセルの集合であり、列は行方向の配置順序が等しい行数分（ $n$ 個）のセルの集合である。

【0011】

ドライバユニット70は、ドライバ制御回路71、データ変換回路72、電源回路73、Xドライバ81、Yドライバ84、およびAドライバ88、89を有している。ドライバユニット70にはTVチューナ、コンピュータなどの外部装

置から R, G, B の 3 色の輝度レベルを示すフレームデータ D f が各種の同期信号とともに入力される。フレームデータ D f はデータ変換回路 7 2 の中のフレームメモリに一時的に記憶される。データ変換回路 7 2 は、フレームデータ D f を階調表示のためのサブフレームデータ D s f に変換して A ドライバ 8 8, 8 9 へ送る。サブフレームデータ D s f は 1 セル当たり 1 ビットの表示データの集合であって、その各ビットの値は該当する 1 つのサブフレームにおけるセルの発光の要否、厳密にはアドレス放電の要否を示す。なお、インタレース表示の場合には、フレームを構成する複数のフィールドのそれぞれが複数のサブフィールドで構成され、サブフィールド単位の発光制御が行われる。ただし、発光制御の内容はプログレッシブ表示の場合と同様である。

#### 【 0 0 1 2 】

図 2 は P D P のセル構造の一例を示す図である。

P D P 1 は封止材 3 5 により一体化された一対の基板構体（基板上にセル構成要素を設けた構造体） 1 0, 2 0 からなる。前面側のガラス基板 1 1 の内面に、n 行 m 列の表示面 E S の各行に一对ずつ表示電極 X, Y が配置されている。表示電極 X, Y は、面放電ギャップを形成する透明導電膜 4 1 とその端縁部に重ねられた金属膜 4 2 とからなり、誘電体層 1 7 および保護膜 1 8 で被覆されている。背面側のガラス基板 2 1 の内面に 1 列に計 2 本ずつアドレス電極 A 1, A 2 が配列されており、これらアドレス電極 A 1, A 2 は誘電体層 2 4 で被覆されている。誘電体層 2 4 の上に放電空間 3 0 を列毎に区画する隔壁 2 9 が設けられている。誘電体層 2 4 の表面および隔壁 2 9 の側面を被覆するカラー表示のための蛍光体層 2 8 R, 2 8 G, 2 8 B は、放電ガスが放つ紫外線によって局部的に励起されて発光する。図中の斜体文字 (R, G, B) は蛍光体の発光色を示す。P D P 1 では、表示電極 Y がスキャン電極として用いられ、アドレス電極 A 1, A 2 がデータ電極として用いられる。

#### 【 0 0 1 3 】

図 3 は電極構造の模式図、図 4 は電極構造の詳細を示す平面図である。なお、図 3 の表示面は 6 行構成であるが、一般に行数 n は数百以上（例えば S V G A 仕様で 1 0 2 4）である。

## 【 0 0 1 4 】

表示面 E S の各列  $R_1, R_2, R_3, \dots, R_m$  において、計 2 本のアドレス電極 A 1, A 2 は規則的に曲がった帯状の導体であり、列の一端から他端まで連続している。アドレス電極 A 1 は、奇数行  $L_{\text{odd}}$  に対応した表示電極  $Y_1, Y_2, Y_3$  とは平面視において隔壁 2 9 と重ならない位置で交差し、偶数行  $L_{\text{even}}$  に対応した表示電極  $Y_2, Y_4, Y_6$  とは隔壁 2 9 と重なる位置で交差する。これとは逆に、アドレス電極 A 2 は、奇数行  $L_{\text{odd}}$  に対応した表示電極  $Y_1, Y_2, Y_3$  とは隔壁 2 9 と重なる位置で交差し、偶数行  $L_{\text{even}}$  に対応した表示電極  $Y_2, Y_4, Y_6$  とは隔壁 2 9 と重ならない位置で交差する。つまり、アドレス電極 A 1 は奇数行  $L_{\text{odd}}$  のみでアドレス放電が生じるようにパターニングされ、アドレス電極 A 2 は偶数行  $L_{\text{even}}$  のみでアドレス放電が生じるようにパターニングされている。隔壁 2 9 と重なる位置は、放電空間が形成されておらずそのために放電が生じない領域を意味する。この位置では隔壁 2 9 が放電を妨げる絶縁体として作用する。

## 【 0 0 1 5 】

各列  $R_1, R_2, R_3, \dots, R_m$  にアドレス電極 A 1, A 2 を配置することにより、アドレッシングに際して奇数行  $L_{\text{odd}}$  のいずれか 1 つと偶数行  $L_{\text{even}}$  のいずれか 1 つとを同時に選択し、アドレッシングの所要時間を短縮することができる。PDP 1 では、隣り合う行どうしで表示電極 Y の電気的な共通化（結線）がなされており、隣り合う行どうしが同時に選択される。以下、結線された 2 本の表示電極 Y の組を“表示電極 Y P”という。隣り合う行どうしの結線は単層配線で容易に実現することができ、結線のために多層配線を用いる必要はない。例えば表示電極 Y の金属膜 4 2 を形成するとき、表示電極 Y を 2 本ずつ連結するように電極材料層のパターニングを行えばよい。結線を行うことによって、独立に制御すべきスキャン電極（表示電極 Y P）の数が表示電極 Y の数の  $1/2$  となるので、Y ドライバ 8 4 を構成する集積回路部品の必要個数は従来の  $1/2$  になる。例えば行数  $n$  が 1 0 2 4 の場合、表示電極 Y P の数は 5 1 2 である。スキャン端子数が 6 4 の集積回路部品を用いるとすると、その必要個数は 8 である。

## 【 0 0 1 6 】

図4においてアドレス電極A1, A2は行間領域を斜めに通り、列方向に並ぶセルCを1つ置きに避ける。このようにアドレス電極A1, A2を蛇行形状とすることにより、隔壁29によるアドレス電極A1, A2の部分的な絶縁が容易になる。隔壁29の幅は、1本のアドレス電極を被覆する大きさでよい。また、アドレス電極A1, A2間の間隔を図3の電極構造と比べて大きくとることができる。それによって電極間容量の増大を抑制することができる。アドレス電極A1は奇数行 $L_{\text{odd}}$ の表示電極 $Y_{\text{odd}}$ と電極対を構成し、アドレス電極A2は偶数行 $L_{\text{even}}$ の表示電極 $Y_{\text{even}}$ と電極対を構成する。

【0017】

図5は隔壁構造の変形例を示す平面図である。

隔壁29bは、図2の隔壁29に相当する列方向壁291に行方向壁292が一体化した構造体であり、平面視において格子状である。行方向壁292は、アドレス電極A1, A2の屈曲部を被覆し、屈曲部での誤放電を防止する。行方向壁292を列方向壁291よりも低くすれば、PDP1の組み立てにおける内部排気抵抗が小さくなる。

【0018】

図6はアドレス電極パターンの第1変形例を示す平面図である。

アドレス電極A1b, A2bでは、アドレス放電が生じる位置における表示電極Yとの交差部が局所的に幅広に形成されている。これにより、表示電極Yとの対向面積が増大し、放電確率が高まる。

【0019】

図7はアドレス電極パターンの第2変形例を示す平面図である。

アドレス電極A1c, A2cは、電極対を構成する表示電極Yとの対向部毎に屈曲した帯状であり、行間領域では隔壁29によって被覆されている。

【0020】

図8はアドレス電極パターンの第3変形例を示す平面図である。

アドレス電極A1d, A2dは、電極対を構成する表示電極Yと対向する突起を有し、行間領域では隔壁29によって被覆されている。

【0021】

図 9 はアドレス電極パターンの第 4 変形例を示す平面図である。

アドレス電極 A 1 e, A 2 e は、電極対を構成する表示電極 Y と対向する略 T 字状の突起を有し、行間領域では隔壁 2 9 によって被覆されている。面放電型 PDP のアドレッシングでは、アドレス電極 A 1 e, A 2 e と表示電極 Y との間のアドレス放電をトリガーとして、表示電極 Y と表示電極 X との間でもアドレス放電を起こすのが望ましい。図 9 のパターンは、行間領域での不要放電を抑えつつ表示電極 Y から表示電極 X へアドレス放電を拡げるのに適している。

#### 【 0 0 2 2 】

次に PDP 1 に適用する駆動方法を説明する。

図 1 0 はフレーム分割の概念図である。PDP 1 による表示では、一般的な 2 値の点灯制御によってカラー再現を行うために、入力画像である時系列のフレーム F を所定数  $q$  のサブフレーム S F に分割する。つまり、各フレーム F を  $q$  個のサブフレーム S F の集合に置き換える。これらサブフレーム S F に順に  $2^0, 2^1, 2^2, \dots, 2^{q-1}$  の重みを付与して各サブフレーム S F の表示放電の回数を設定する。サブフレーム単位の点灯／非点灯の組合せで RGB の各色毎に  $N (= 1 + 2^1 + 2^2 + \dots + 2^{q-1})$  段階の輝度設定を行うことができる。なお、重み付けは 2 の累乗系列に限らない。また、図ではサブフレーム配列が重みの順であるが、他の順序であってもよく、2 値以外の点灯制御であってもよい。このようなフレーム構成に合わせてフレーム転送周期であるフレーム期間  $T_f$  を  $q$  個のサブフレーム期間  $T_{sf}$  に分割し、各サブフレーム S F に 1 つのサブフレーム期間  $T_{sf}$  を割り当てる。さらに、サブフレーム期間  $T_{sf}$  を、初期化のためのリセット期間  $T_R$ 、アドレッシングのためのアドレス期間  $T_A$ 、および点灯のための表示期間  $T_S$  に分ける。リセット期間  $T_R$  およびアドレス期間  $T_A$  の長さが重みに係わらず一定であるのに対し、表示期間  $T_S$  の長さは重みが大きいほど長い。したがって、サブフレーム期間  $T_{sf}$  の長さも、該当するサブフレーム S F の重みが大きいほど長い。

#### 【 0 0 2 3 】

##### 〔第 1 の駆動方法〕

図 1 1 は第 1 の駆動方法を示す電圧波形図、図 1 2 は第 1 の駆動方法における

各行のアドレス順位およびアドレス放電の強度を示す図である。

【0024】

リセット期間 $T_R$ ・アドレス期間 $T_A$ ・表示期間 $T_S$ の順序は $q$ 個のサブフレーム $SF$ において共通であり、駆動シーケンスはサブフレーム毎に繰り返される。各サブフレーム $SF$ のリセット期間 $T_R$ においては、全ての表示電極 $X$ に対して負極性のパルス $P_{rx1}$ と正極性のパルス $P_{rx2}$ とを順に印加し、全ての表示電極 $Y_P$ に対して正極性のパルス $P_{ry1}$ と負極性のパルス $P_{ry2}$ とを順に印加する。パルス $P_{rx1}$ ,  $P_{rx2}$ ,  $P_{ry1}$ ,  $P_{ry2}$ は微小放電が生じる変化率で振幅が漸増するランプ波形パルスである。最初に印加されるパルス $P_{rx1}$ ,  $P_{ry1}$ は、前サブフレームにおける点灯／非点灯に係わらず全てのセルに同一極性の適当な壁電圧を生じさせるために印加される。適度の壁電荷が存在するセルにパルス $P_{rx2}$ ,  $P_{ry2}$ を印加することにより、壁電圧を放電開始電圧とパルス振幅との差に相当する値に調整することができる。本例における初期化（電荷の均等化）は、全てのセルの壁電荷を消失させて壁電圧を零にするものである。なお、表示電極 $X$ ,  $Y$ の片方のみパルスを印加して初期化を行うことができるが、図示のように表示電極 $X$ ,  $Y$ の双方に互いに反対極性のパルスを印加することによりドライバ回路素子の低耐圧化を図ることができる。セルに加わる駆動電圧は、表示電極 $X$ ,  $Y$ に印加されるパルスの振幅を加算した合成電圧である。

【0025】

アドレス期間 $T_A$ においては、点灯すべきセルのみに点灯維持に必要な壁電荷を形成する。全ての表示電極 $X$ および全ての表示電極 $Y_P$ を所定電位にバイアスした状態で、一定時間毎に選択行に対応した1つの表示電極 $Y_P$ に負極性のスキヤンパルス $P_y$ を印加する。そして、この2行ずつの行選択に同期させて、アドレス放電を生じさせるべき選択セルに対応したアドレス電極 $A_1$ ,  $A_2$ にアドレスパルス $P_{a1}$ ,  $P_{a2}$ を印加する。つまり、選択行の $2 \times m$ 列分のサブフレームデータ $D_{sf}$ に基づいてアドレス電極 $A_1$ ,  $A_2$ の電位を2値制御する。選択セルでは表示電極 $Y_P$ とアドレス電極 $A_1$ ,  $A_2$ との間の放電が生じ、それがトリガとなって表示電極間の面放電が生じる。ここで重要なことは、アドレス電極

A 1 に印加するアドレスパルス  $P a 1$  の振幅  $V a 1$  と、アドレス電極 A 2 に印加するアドレスパルス  $P a 2$  の振幅  $V a 2$  とを個別に設定することである。例示では  $V a 1 > V a 2$  とされている。個別の設定により、いわゆるクロストークが軽微となり、アドレッシングの信頼性が高まる。配列順に行選択をするアドレッシングでは、ある行のアドレス放電がその次に選択される行のアドレス放電に影響する。図 1 2 のように、同時に選択される 2 行について、走査の下流側の行の放電強度を上流側の行の放電強度より小さくすることにより、当該 2 行とこれらの下流側の 2 行との放電のクロストークを低減することができる。

#### 【 0 0 2 6 】

サステイン期間  $T S$  においては、最初に全ての表示電極  $Y P$  に対して所定極性（例示では正極性）のサステインパルス  $P s$  を印加する。その後、表示電極  $X$  と表示電極  $Y P$  とに対して交互にサステインパルス  $P s$  を印加する。サステインパルス  $P s$  の振幅は放電開始電圧より低い維持電圧（ $V s$ ）である。サステインパルス  $P s$  の印加によって、所定量の壁電荷が残存するセルで面放電が生じる。サステインパルス  $P s$  の印加回数は、上述したとおりサブフレームの重みに対応する。なお、サステイン期間  $T S$  にわたって不要の放電を防止するためにアドレス電極 A 1, A 2 をサステインパルス  $P s$  と同極性の電位にバイアスする。

#### 【 0 0 2 7 】

#### 〔第 2 の駆動方法〕

図 1 3 は第 2 の駆動方法を示す電圧波形図、図 1 4 は第 2 の駆動方法における各行のアドレス順位を示す図である。

#### 【 0 0 2 8 】

アドレス期間  $T A$  を、前半期間  $T A 1$  と後半期間  $T A 2$  とに分ける。前半期間  $T A 1$  では、表示電極列における表示電極  $Y P$  のみに注目して数えた奇数番目の表示電極  $Y P$  に対して順にスキャンパルス  $P y$  を印加する。行選択に同期させてアドレス電極 A 1, A 2 にアドレスパルス  $P a$  を印加して図 1 4 のように 2 行ずつ 2 行置きのアドレッシングを行う。後半期間  $T A 2$  では、偶数番目の表示電極  $Y P$  に対して順にスキャンパルス  $P y$  を印加し、前半期間  $T A 1$  で選択されなかった行についてアドレッシングを行う。前半期間  $T A 1$  と後半期間  $T A 2$  とにつ

いて、表示電極Xのバイアス電位を個別に最適化する。

【0029】

〔第2実施形態〕

第2実施形態に係るPDPの構造は、アドレス電極の平面視形状および表示電極の結線形態を除いて、第1実施形態に係るPDP1と同様である。

【0030】

図15は第2実施形態の電極構造の模式図である。

表示面ES2は、第1グループの行Laと第2グループの行Lbとで構成される。ただし、このグループ分けは、アドレス電極との対応関係を区別するための便宜上の分類であり、行Laと行Lbとに機能上の差異はない。行Laは第1番目、第4i番目（ $i = 1, 2, 3 \dots$ ）、および第（ $4i + 1$ ）番目の行であり、行Lbは第（ $4i - 2$ ）番目および第（ $4i - 1$ ）番目の行である。各列 $R_1, R_2, R_3, \dots, R_m$ において、計2本のアドレス電極A1f, A2fは規則的に曲がった帯状の導体であり、列の一端から他端まで連続している。アドレス電極A1fは、行Laに対応した表示電極Yとは図示しない隔壁により絶縁されない位置で交差し、行Lbに対応した表示電極Yとは隔壁により絶縁される位置で交差する。これに対して、アドレス電極A2fは、行Laに対応した表示電極Yとは隔壁により絶縁される位置で交差し、行Lbに対応した表示電極Yとは隔壁により絶縁されない位置で交差する。つまり、アドレス電極A1fは行Laのみでアドレス放電が生じるようにパターニングされ、アドレス電極A2fは行Lbのみでアドレス放電が生じるようにパターニングされている。

【0031】

第2実施形態では、アドレッシングに際して行Laのいずれか1つと行Lbのいずれか1つとを同時に選択し、それによってアドレッシングの所要時間を短縮することができる。図のように各表示電極Yは、配列の一端から順に、異なるグループに属しかつ最も近い他の表示電極Yと電氣的に共通化（結線）され、2行単位のスキャン電極である表示電極YPa, YPbを形成する。このような結線は2層配線で実現することができる。PDPと駆動回路との接続に両面プリント配線板を用いれば、ガラス基板上で2層配線を行う必要はない。結線によってY



ドライバを構成する集積回路部品の必要個数を削減できるとともに、次に説明する電磁波対策が可能となる。

#### 【 0 0 3 2 】

図 1 6 は第 2 実施形態に係るサステインパルスの印加タイミングを示す図、図 1 7 は表示電極を流れる表示放電電流の向きを示す図である。

サステイン期間においては表示電極 X と表示電極 Y とに交互にサステインパルス  $P_s$  を印加して周期的に表示放電を生じさせる。その際に、奇数番目の表示電極  $X_{\text{odd}}$  と偶数番目の表示電極  $X_{\text{even}}$  とに対して半周期ずらしてサステインパルス  $P_s$  を印加する。そして、表示電極 Y のみを数えた奇数番目の表示電極 Y (表示電極 Y P a) には表示電極  $X_{\text{even}}$  と同じタイミングでサステインパルス  $P_s$  を印加し、偶数番目の表示電極 Y (表示電極 Y P b) には表示電極  $X_{\text{odd}}$  と同じタイミングでサステインパルス  $P_s$  を印加する。これにより、図 1 7 のように奇数行  $L_{\text{odd}}$  と偶数行  $L_{\text{even}}$  とで電流の向きが逆になるので、電流によって生じる磁界が行どうしで打ち消しあう。放電毎に各行の電流の向きは反転するが、他の行でも反転するので、常に磁界は相殺される。

#### 〔第 3 実施形態〕

図 1 8 は第 3 実施形態の電極構造の模式図、図 1 9 は第 3 実施形態の電極構造の詳細を示す平面図である。

#### 【 0 0 3 3 】

第 3 実施形態の PDP は、表示電極 X, Y を交互に等間隔に配列する形式の面放電型である。表示電極 X, Y の総数は行数  $n$  に 1 を加えた値であり、配列の両端を除く表示電極 X, Y は隣り合う 2 行に対応する。

#### 【 0 0 3 4 】

表示面 E S 3 は、第 1 グループの行  $L_c$  と第 2 グループの行  $L_d$  とで構成される。ただしこのグループ分けも上述の例と同様に便宜的な分類である。行  $L_c$  は 1 以上の整数を  $i$  として表される第  $(4i-3)$  番目および第  $(4i-2)$  番目の行であり、行  $L_d$  は第  $(4i-1)$  番目および第  $4i$  番目の行である。各列  $R_1, R_2, R_3, \dots, R_m$  において、計 2 本のアドレス電極  $A1g, A2g$  は規則的に曲がった帯状の導体であり、列の一端から他端まで連続している。アドレス

電極 A 1 g は、行 L c に対応した表示電極 Y とは隔壁 2 9 により絶縁されない位置で交差し、行 L d に対応した表示電極 Y とは隔壁 2 9 により絶縁される位置で交差する。これに対して、アドレス電極 A 2 g は、行 L c に対応した表示電極 Y とは隔壁 2 9 により絶縁される位置で交差し、行 L d に対応した表示電極 Y とは隔壁により絶縁されない位置で交差する。つまり、アドレス電極 A 1 g は行 L c のみでアドレス放電が生じるようにパターニングされ、アドレス電極 A 2 g は行 L d のみでアドレス放電が生じるようにパターニングされている。

#### 【 0 0 3 5 】

第 3 実施形態における表示電極 Y の総数は、行毎に 1 対ずつ配列する場合と比べてほぼ半分である。本発明の適用により、表示電極 Y を 2 本ずつ共通化することができるので、実質のスキャン電極数を表示電極 Y の数の半分とすることができる。図 1 8 のように各表示電極 Y は、配列の一端から順に、異なるグループに属しかつ最も近い他の表示電極 Y と電氣的に共通化（結線）され、2 行に共通のスキャン電極である表示電極 Y P を形成する。このような結線は単層配線で実現することができる。

#### 【 0 0 3 6 】

図 1 9 のようにアドレス電極 A 1 g, A 2 g を蛇行形状とすることにより、隔壁 2 9 によるアドレス電極 A 1 g, A 2 g の部分的な絶縁が容易になる。隔壁 2 9 の幅は、1 本のアドレス電極を被覆する大きさでよい。アドレス電極 A 1 g は奇数番目の表示電極 Y<sub>odd</sub> との交差部が幅広に形成されており、アドレス電極 A 2 g は偶数番目の表示電極 Y<sub>even</sub> との交差部が幅広に形成されている。これにより、表示電極 Y との対向面積が増大し、放電確率が高まる。

#### 【 0 0 3 7 】

以上の実施形態においては、アドレス電極 A 1, A 1 b ~ A 1 g, A 2, A 2 b ~ A 2 g の両端が封止材 3 5 の外側に引き出されているので、断線が生じたときに、分断された電極を封止材 3 5 の外側で電氣的に接続する“リペア”が可能である。

#### 【 0 0 3 8 】

表示面の各列に 3 本以上のアドレス電極を配列し、3 以上の行を同時に選択す

るようにしてもよい。

【 0 0 3 9 】

【発明の効果】

請求項 1 乃至請求項 7 の発明によれば、複雑な多層配線によらずにスキャン電極の電位制御に必要な回路素子の削減を実現することができる。

【図面の簡単な説明】

【図 1】

本発明に係る表示装置の構成図である。

【図 2】

PDP のセル構造の一例を示す図である。

【図 3】

電極構造の模式図である。

【図 4】

電極構造の詳細を示す平面図である。

【図 5】

隔壁構造の変形例を示す平面図である。

【図 6】

アドレス電極パターンの第 1 変形例を示す平面図である。

【図 7】

アドレス電極パターンの第 2 変形例を示す平面図である。

【図 8】

アドレス電極パターンの第 3 変形例を示す平面図である。

【図 9】

アドレス電極パターンの第 4 変形例を示す平面図である。

【図 1 0】

フレーム分割の概念図である。

【図 1 1】

第 1 の駆動方法を示す電圧波形図である。

【図 1 2】

第 1 の駆動方法における各行のアドレス順位およびアドレス放電の強度を示す図である。

【図 1 3】

第 2 の駆動方法を示す電圧波形図である。

【図 1 4】

第 2 の駆動方法における各行のアドレス順位を示す図である。

【図 1 5】

第 2 実施形態の電極構造の模式図である。

【図 1 6】

第 2 実施形態に係るサステインパルスの印加タイミングを示す図である。

【図 1 7】

表示電極を流れる表示放電電流の向きを示す図である。

【図 1 8】

第 3 実施形態の電極構造の模式図である。

【図 1 9】

第 3 実施形態の電極構造の詳細を示す平面図である。

【図 2 0】

従来の PDP の電極構造の模式図である。

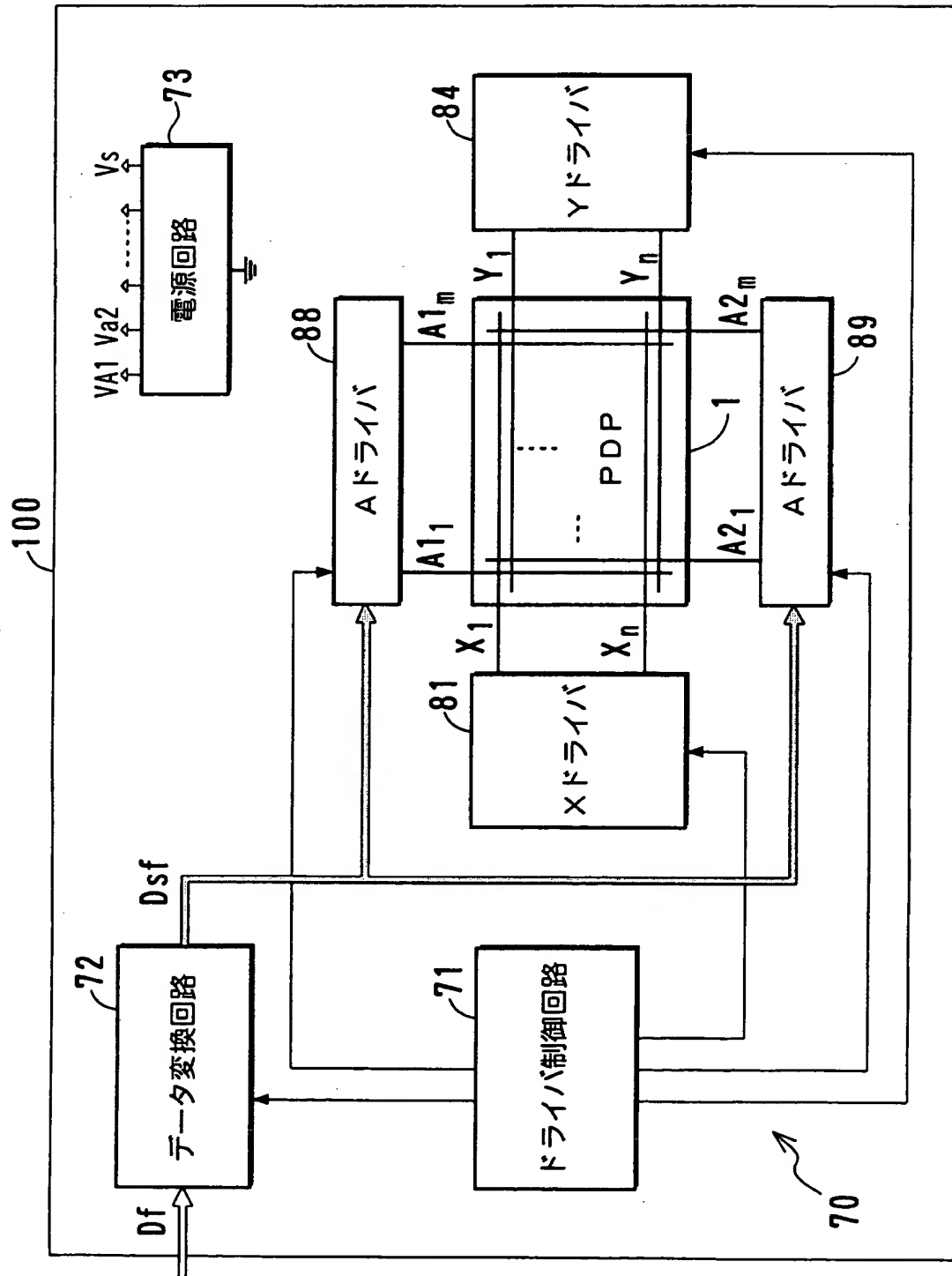
【符号の説明】

- 1 PDP (プラズマディスプレイパネル)
- Y 表示電極 (スキャン電極)
- A 1, A 1 b ~ A 1 g アドレス電極 (データ電極)
- A 2, A 2 b ~ A 2 g アドレス電極 (データ電極)
- 3 0 放電空間
- L<sub>odd</sub>, L<sub>even</sub>, L a, L b, L c, L d 行
- R<sub>1</sub> ~ R<sub>m</sub> 列
- 2 9, 2 9 b 隔壁
- E S, E S 2, E S 3 表示面
- 3 5 封止材

【書類名】 図面

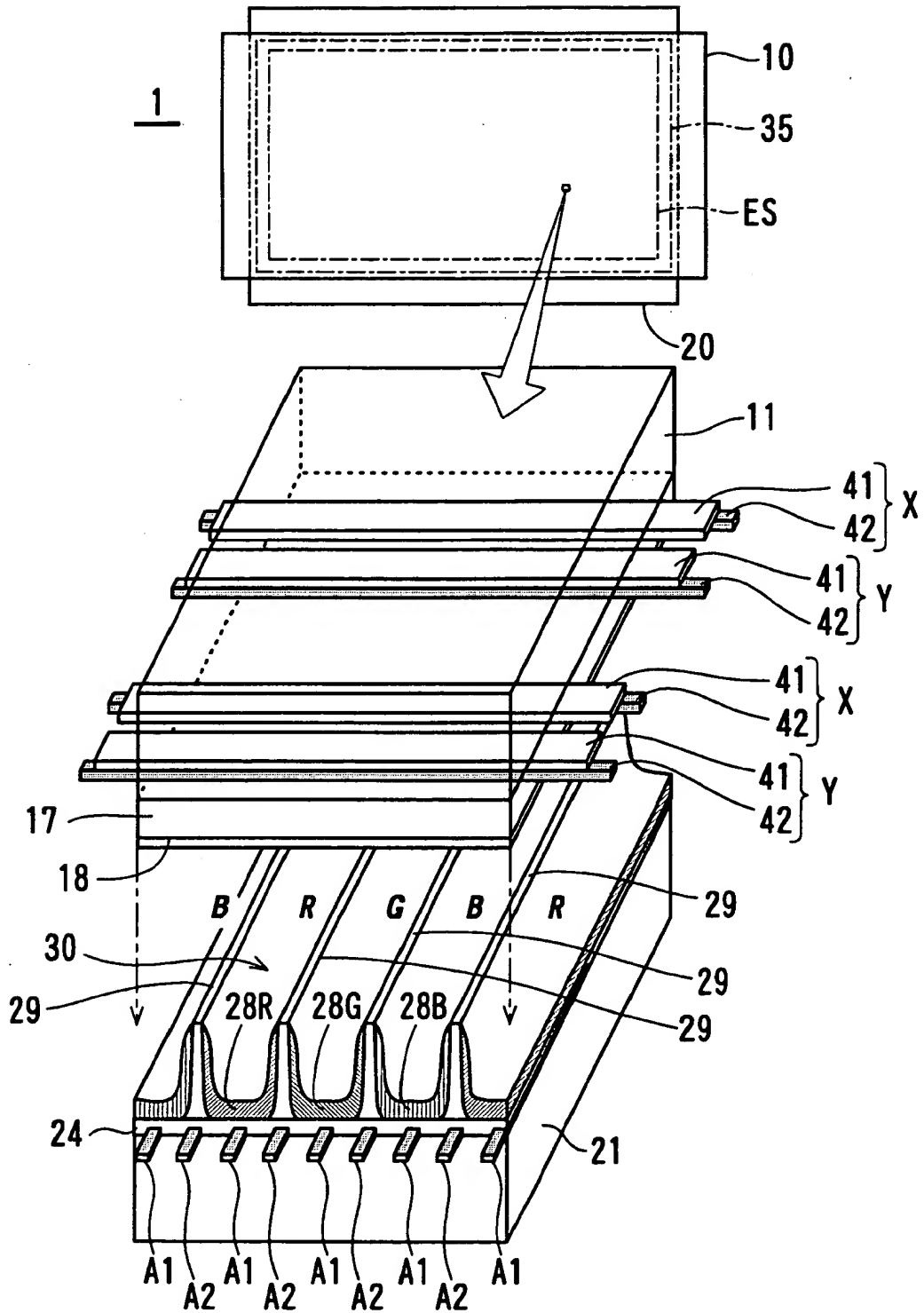
【図 1】

本発明に係る表示装置の概略構成図



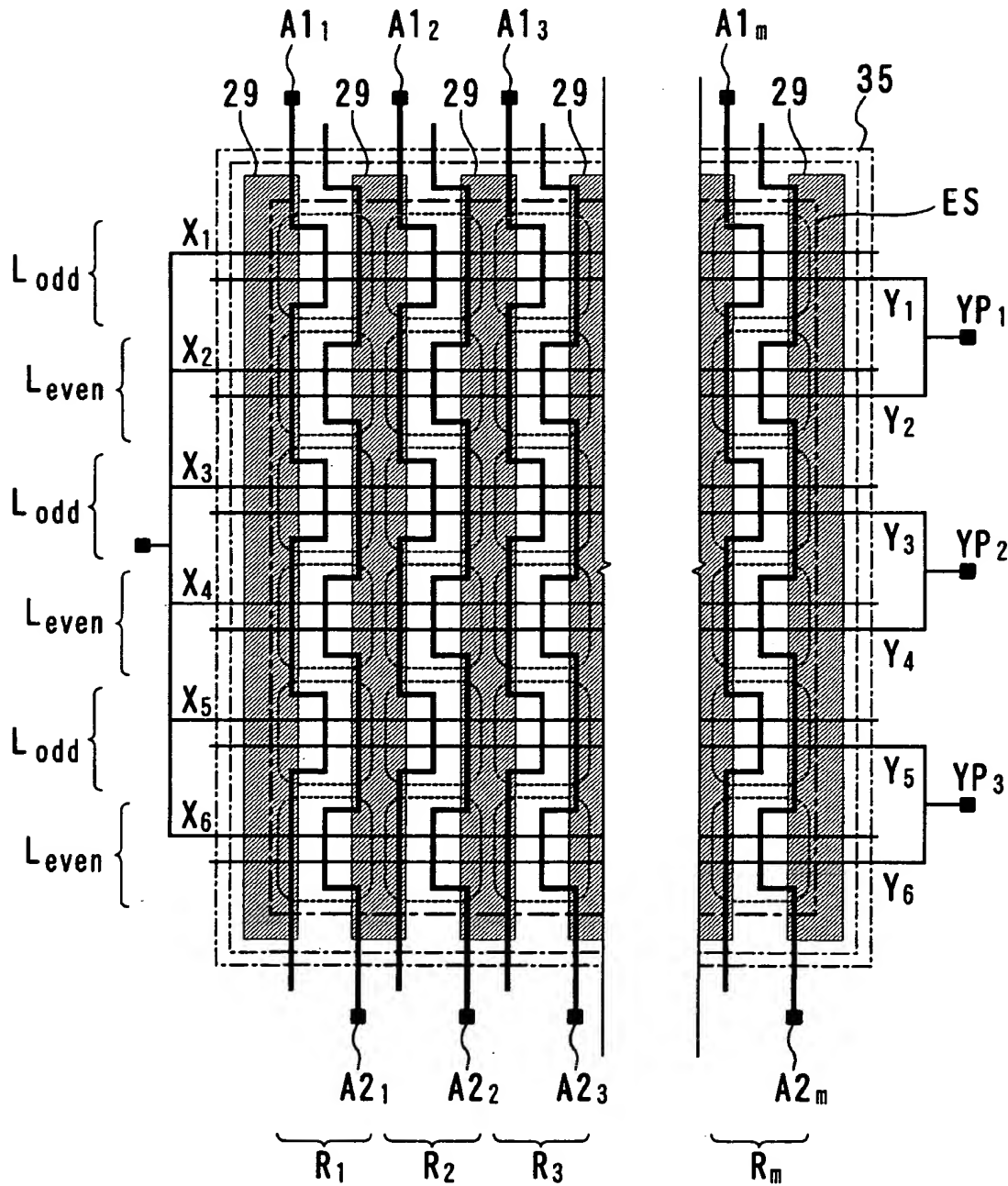
【図 2】

PDPのセル構造の一例を示す図



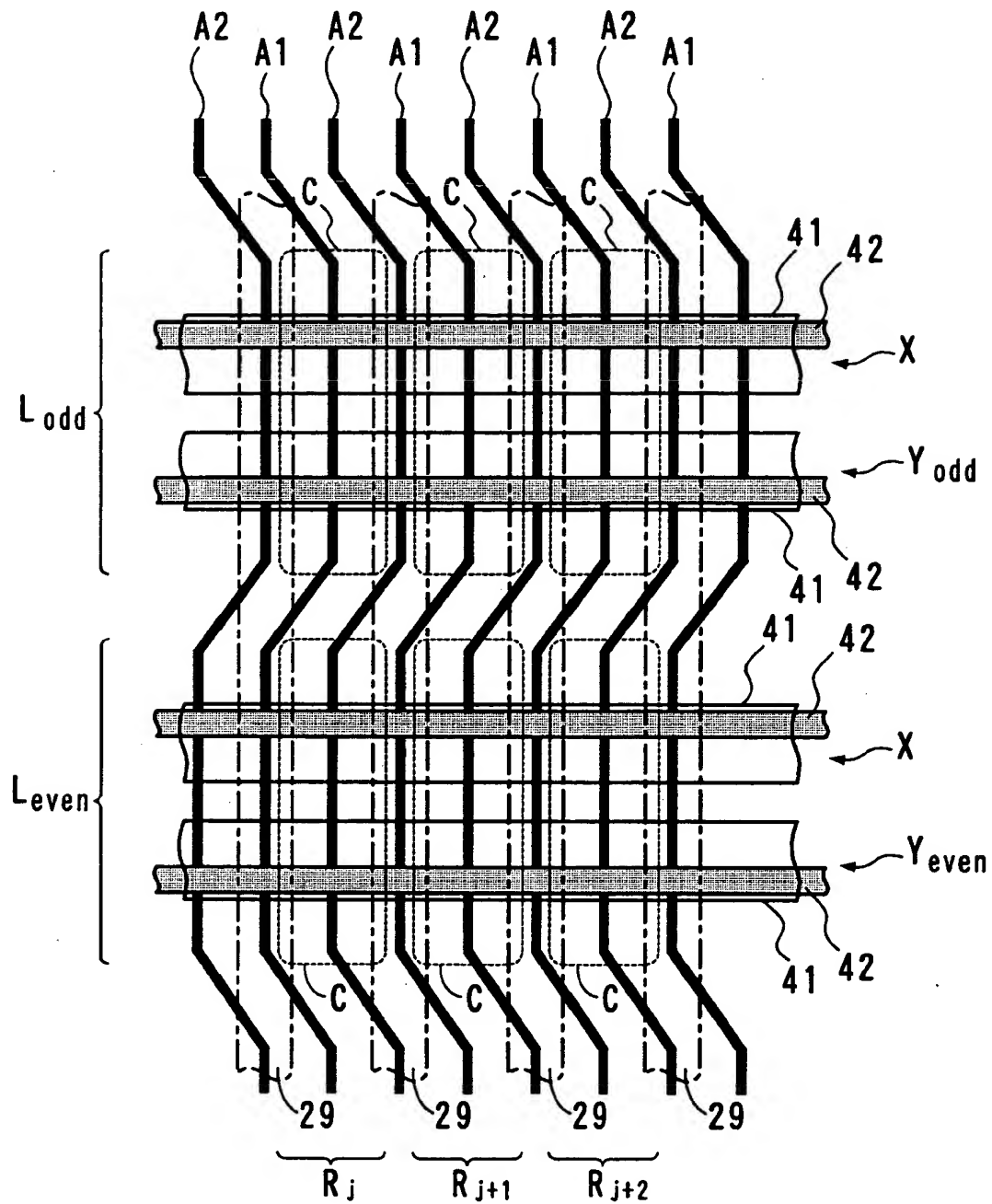
【図 3】

電極構造の模式図



【図 4】

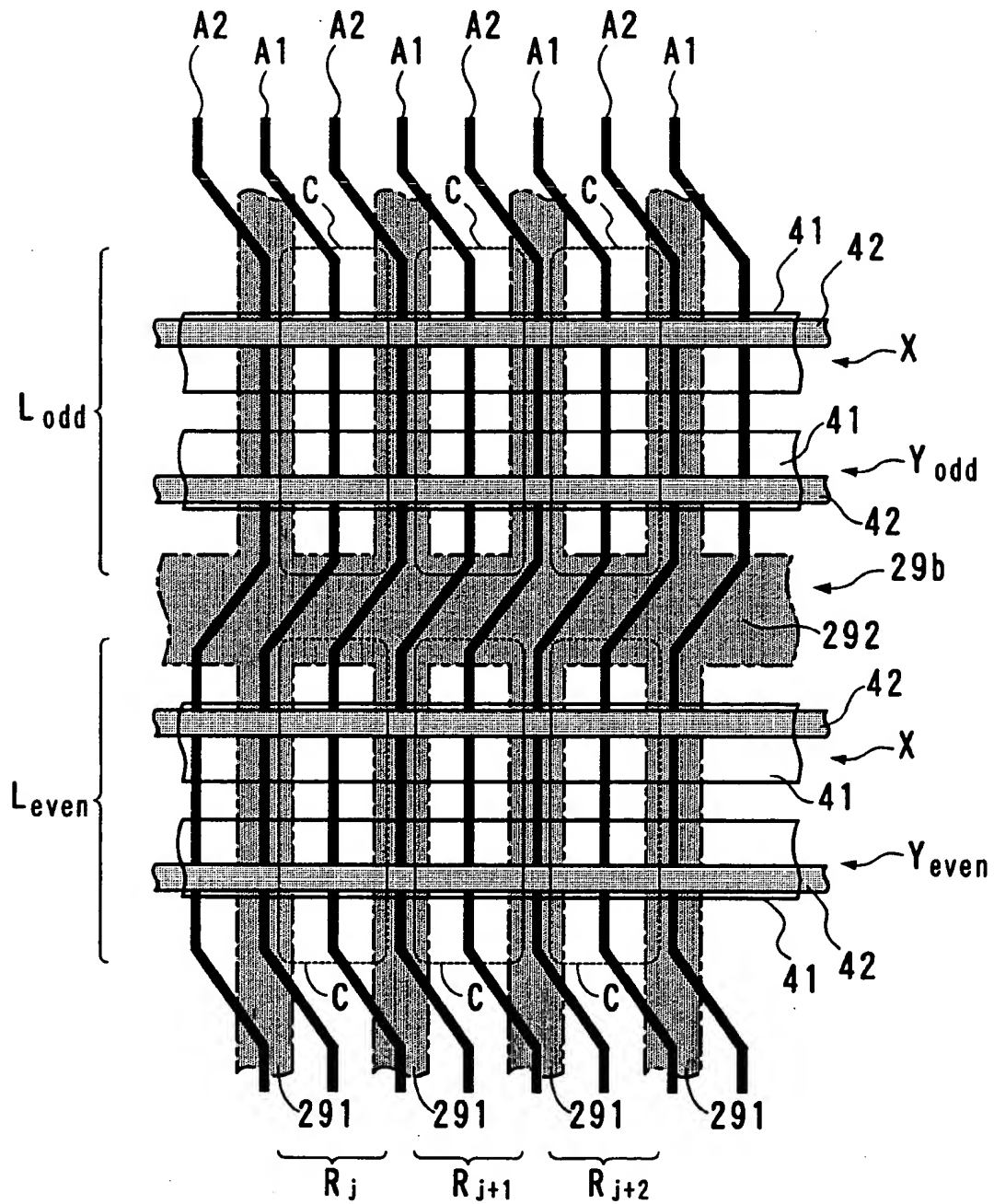
電極構造の第 1 例の詳細を示す平面図





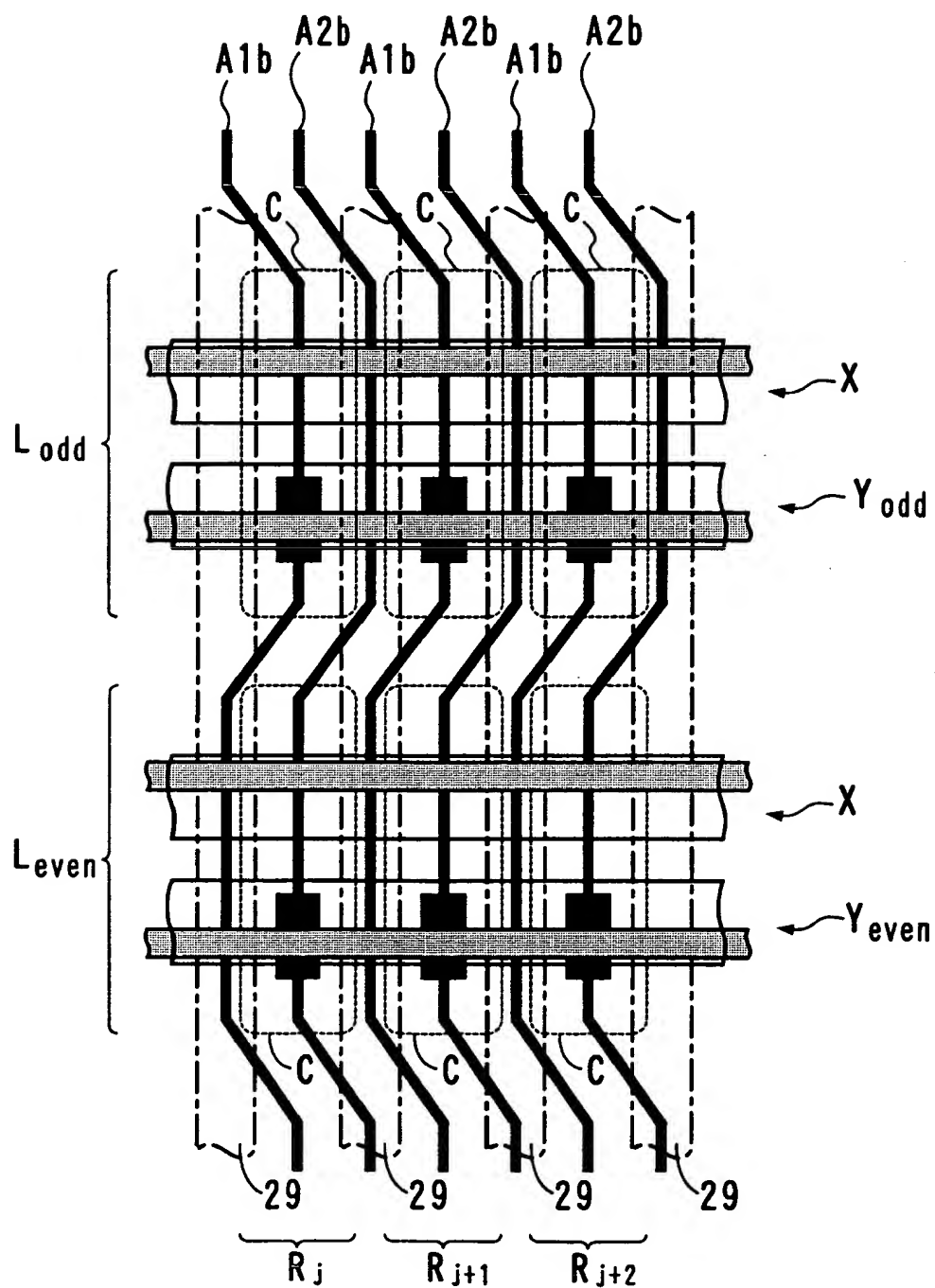
【図 5】

隔壁構造の変形例を示す平面図



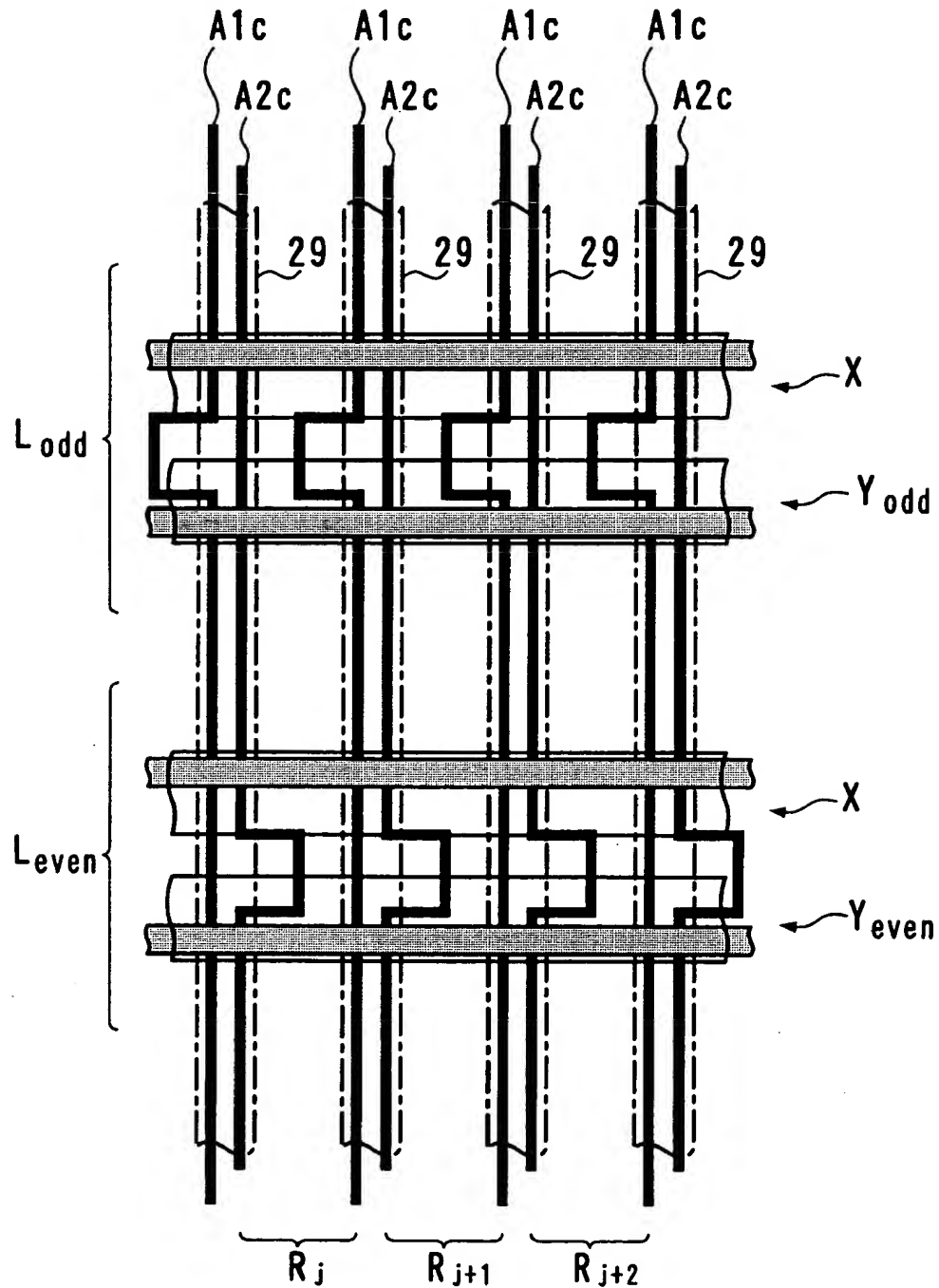
【図 6】

アドレス電極パターンの第1変形例を示す平面図



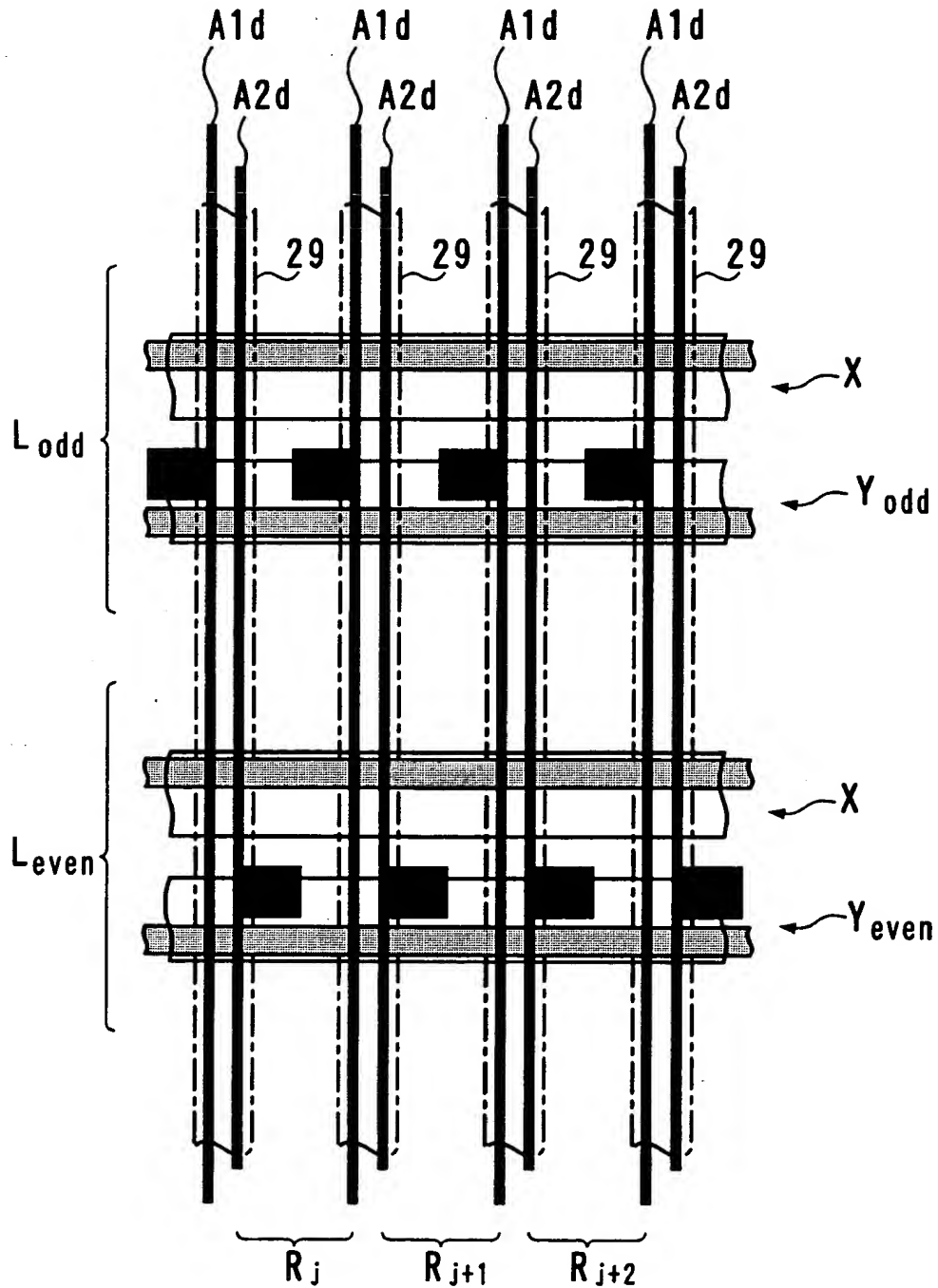
【図 7】

アドレス電極パターンの第2変形例を示す平面図



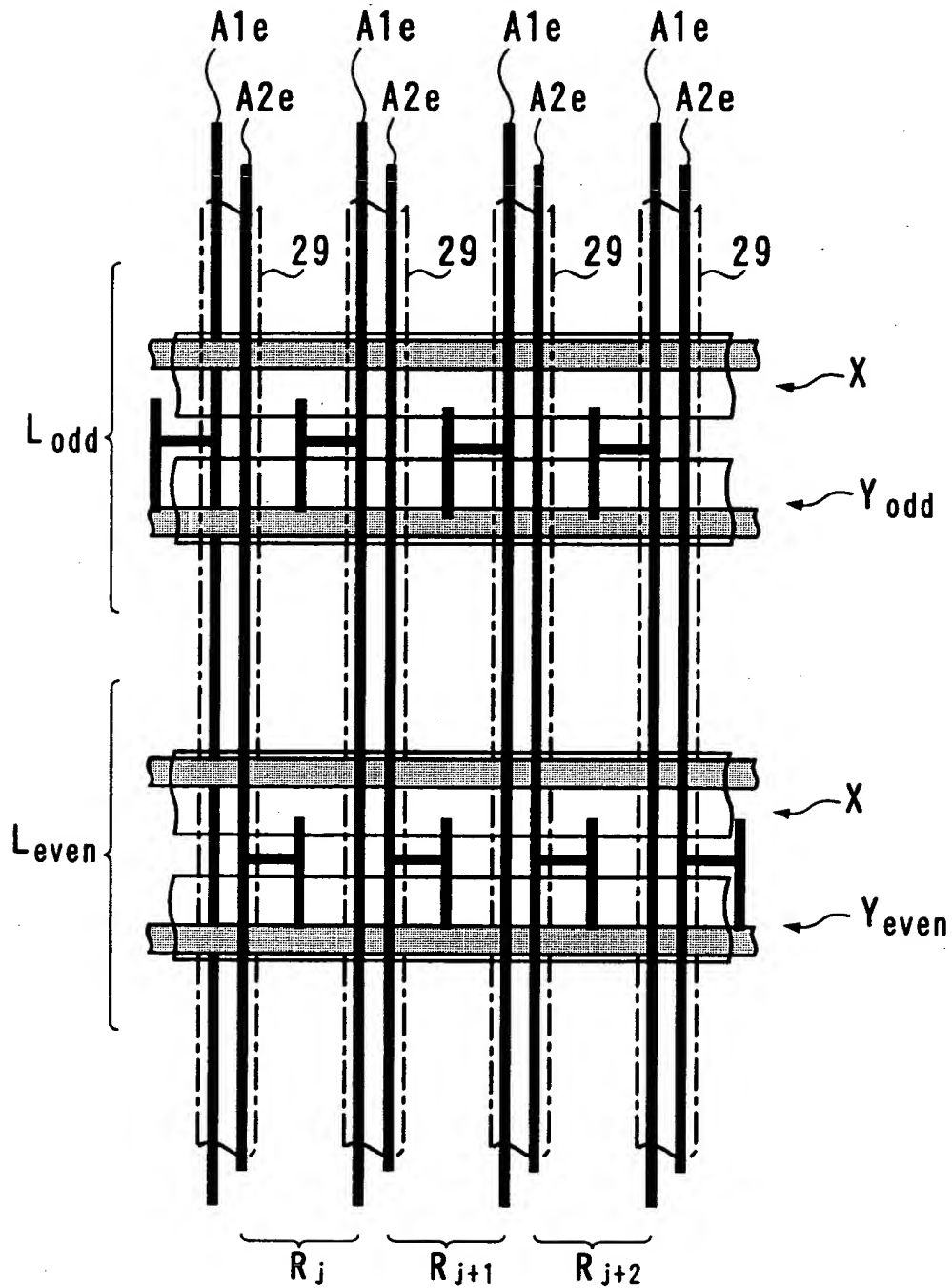
【図 8】

アドレス電極パターンの第3変形例を示す平面図



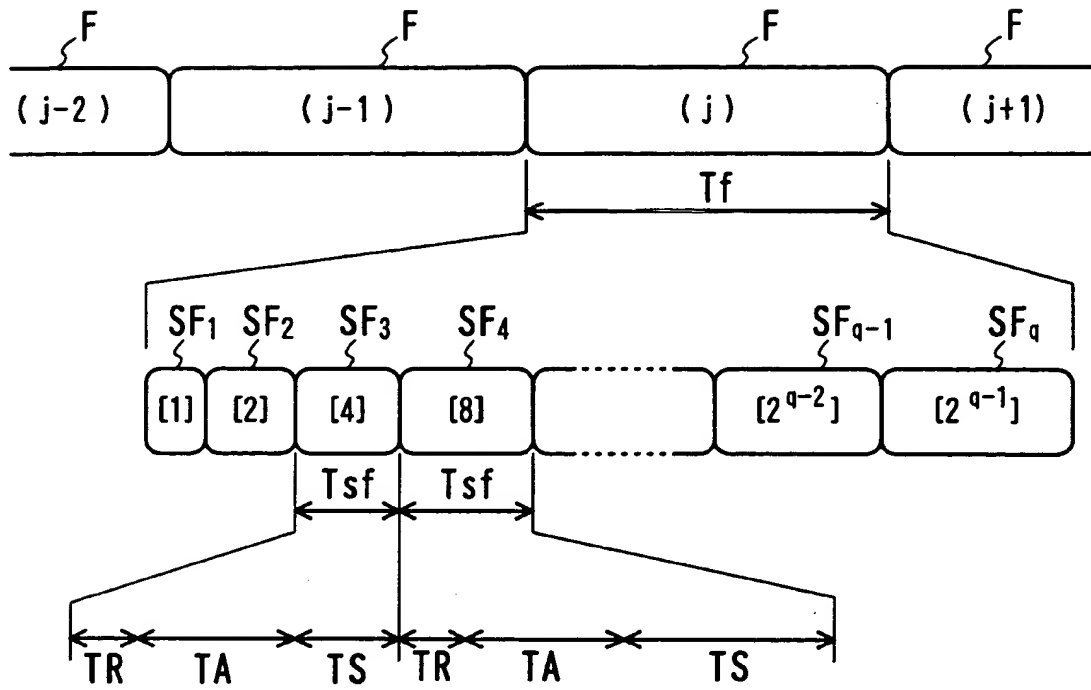
【図9】

アドレス電極パターンの第4変形例を示す平面図



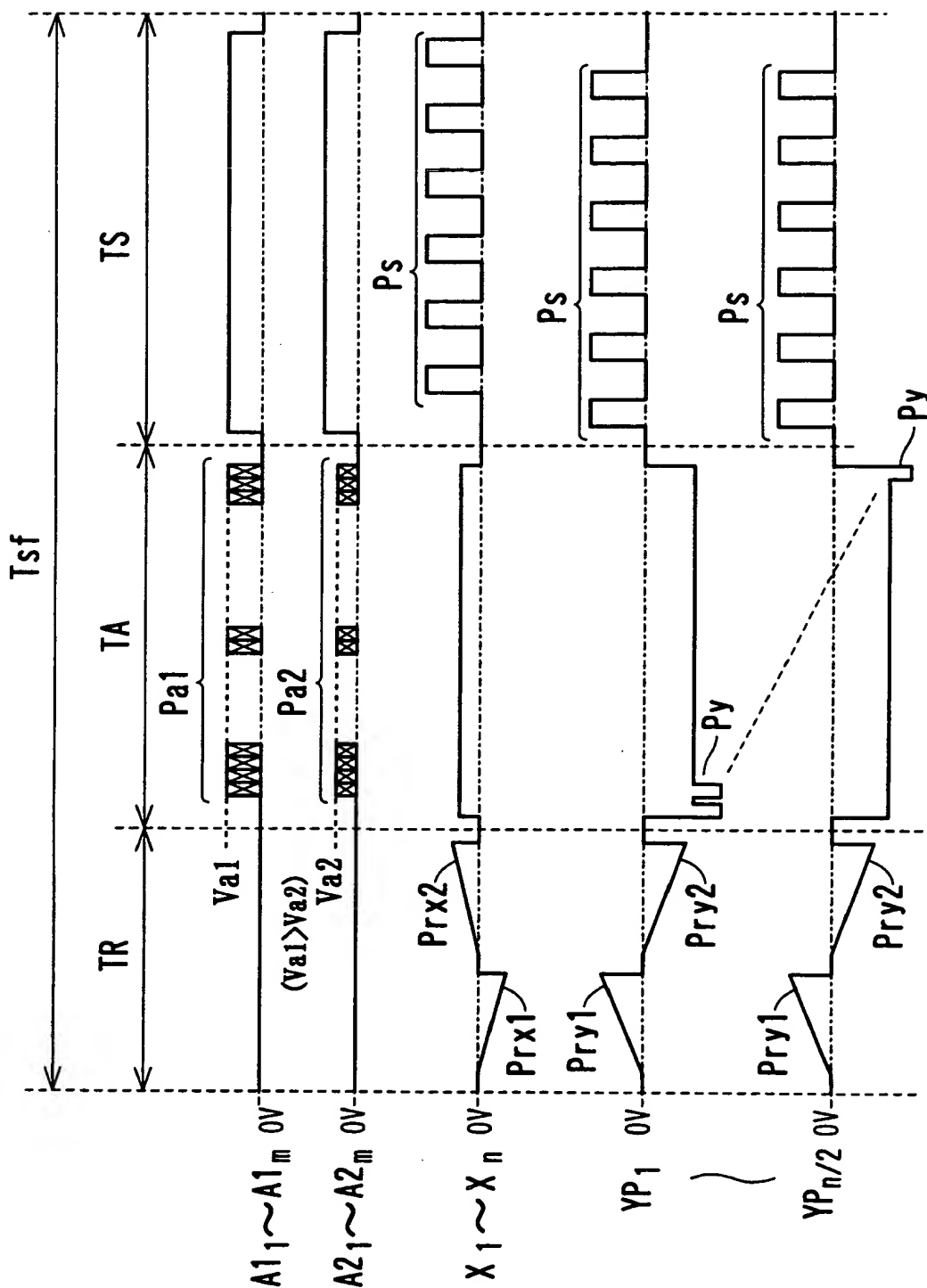
【図 1 0】

フレーム分割の概念図



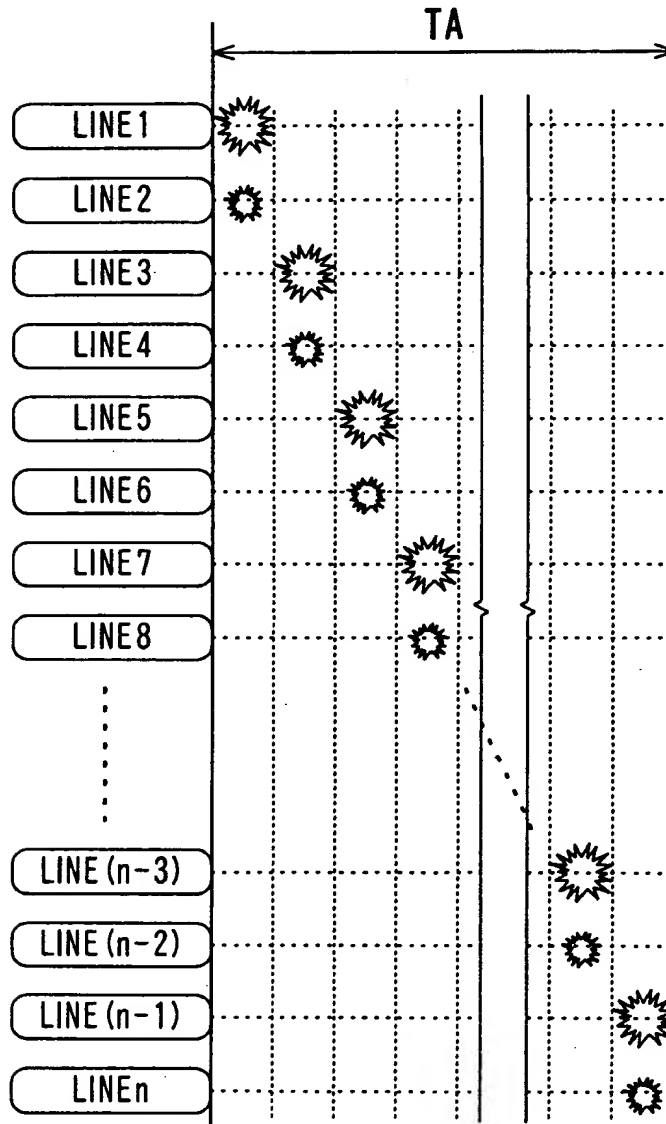
【図 11】

第 1 の駆動方法を示す電圧波形図



【図 12】

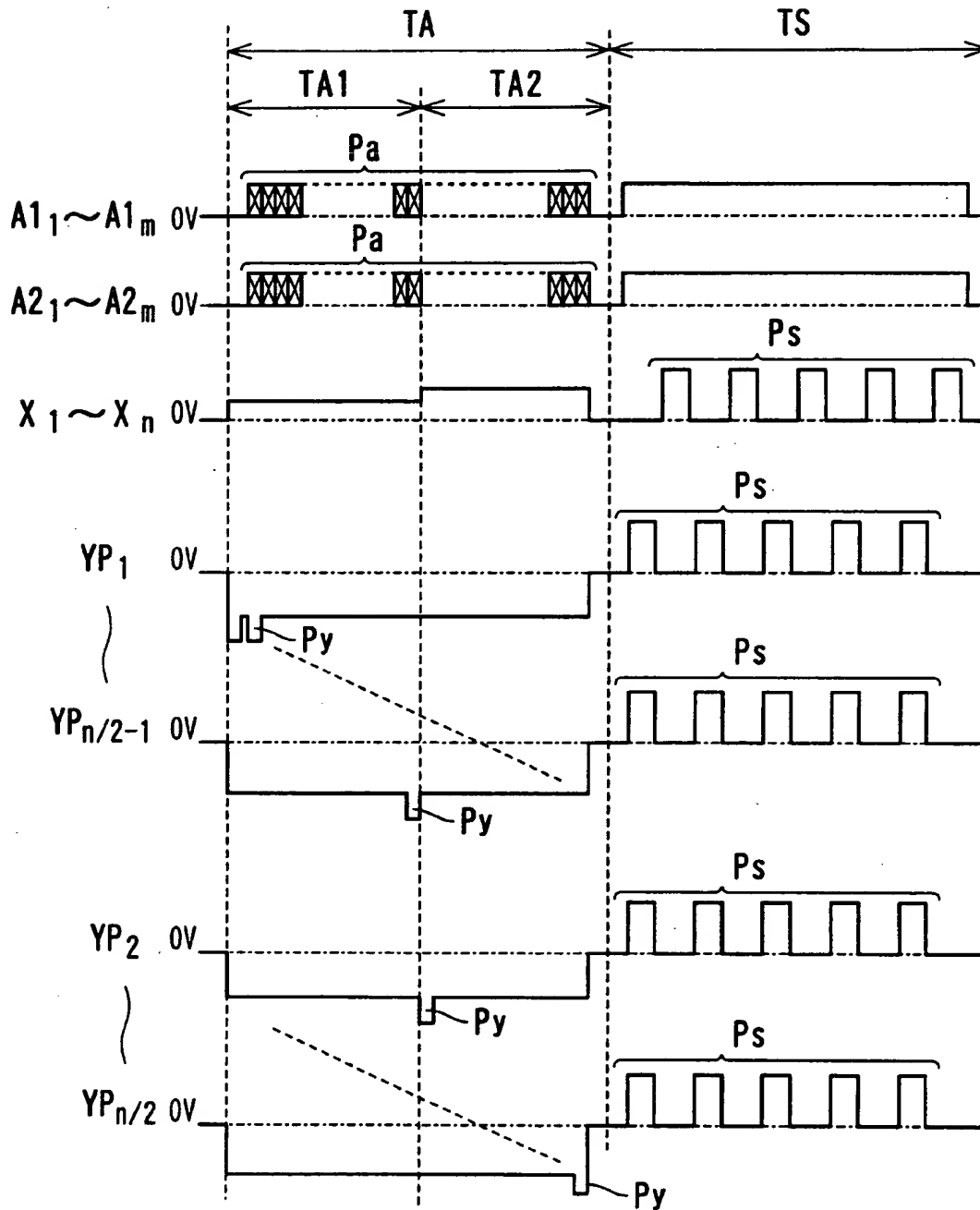
第1の駆動方法における  
各行のアドレス順位およびアドレス放電強度を示す図





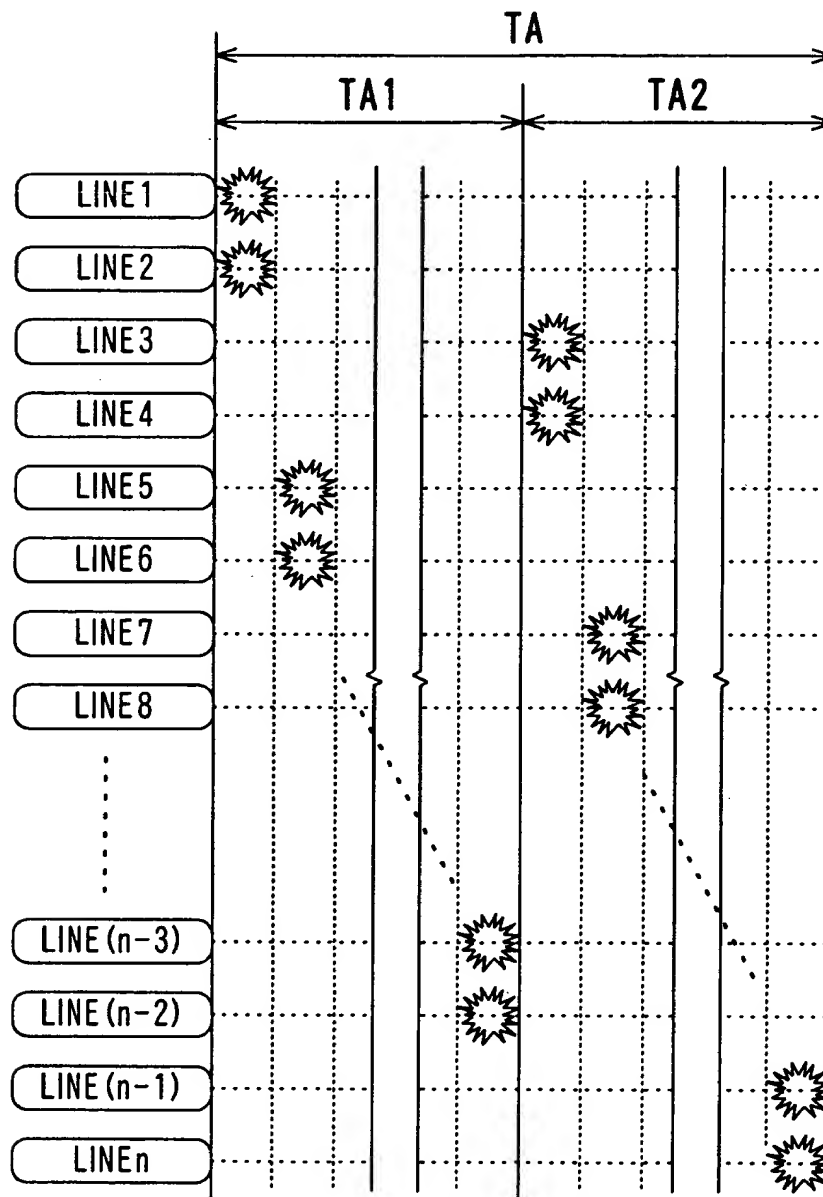
【図 13】

第2の駆動方法を示す電圧波形図



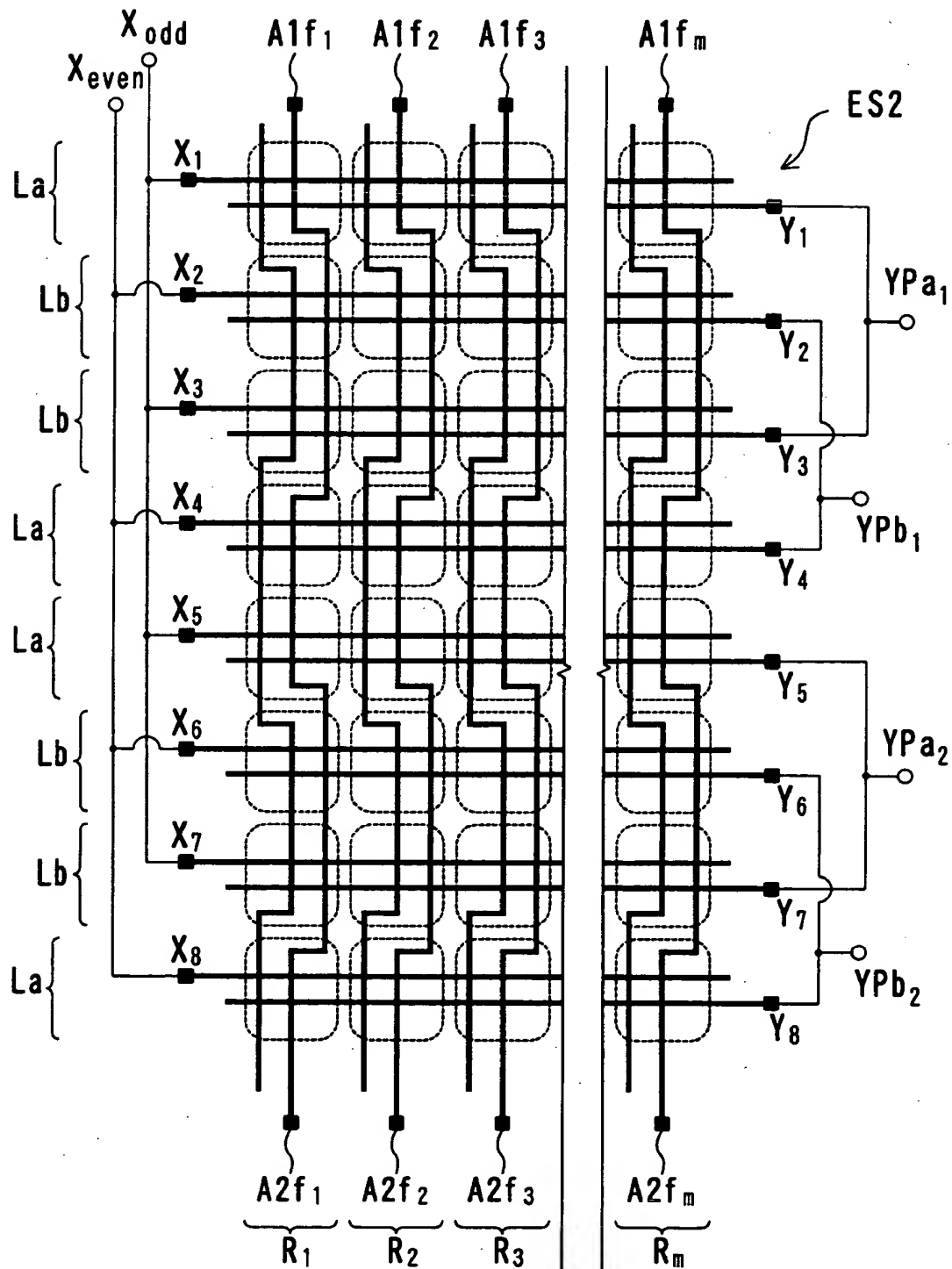
【図 14】

第2の駆動方法における各行のアドレス順位を示す図



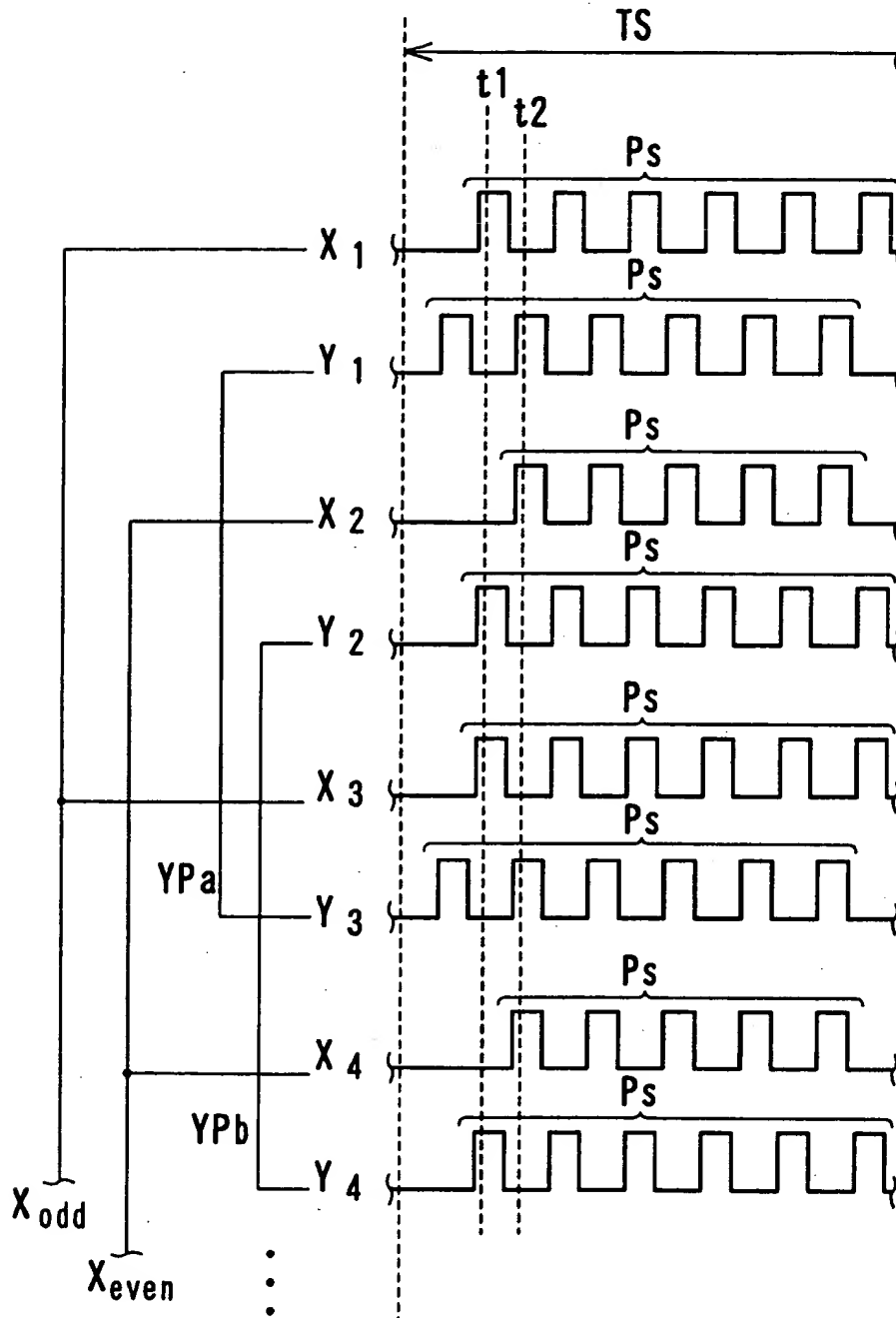
【図 15】

電極構造の第 1 例の模式図



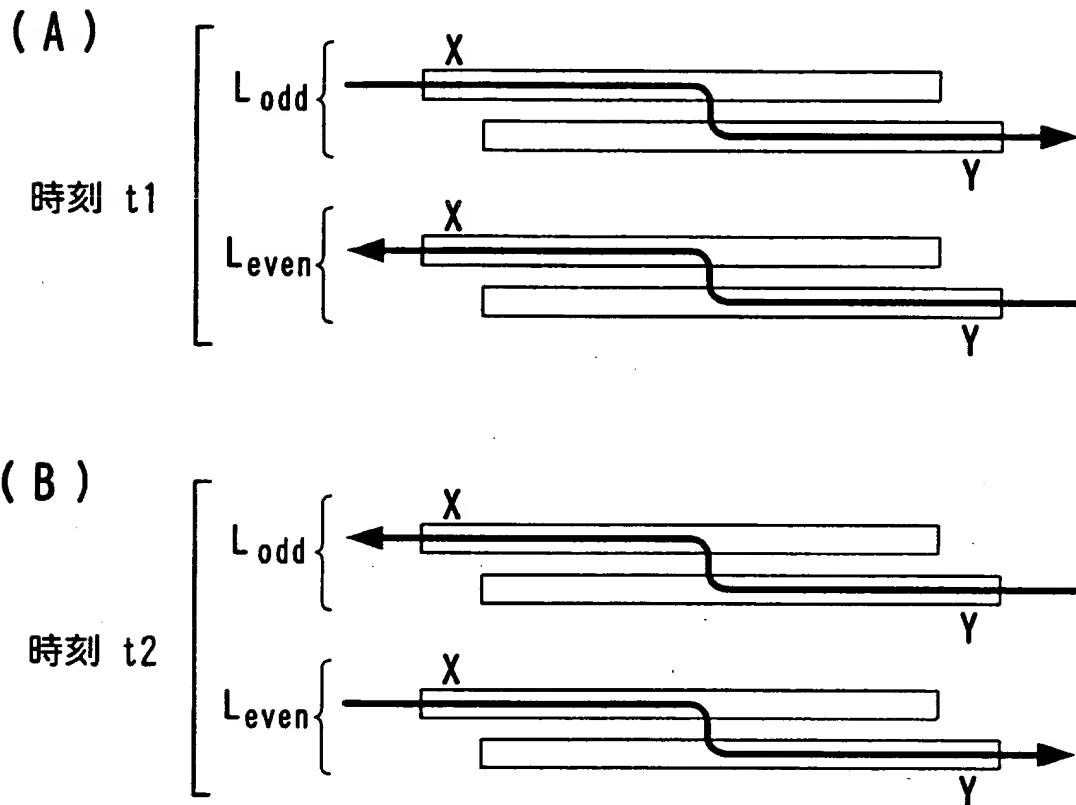
【図 16】

第2実施形態に係るサステインパルスの印加タイミングを示す図



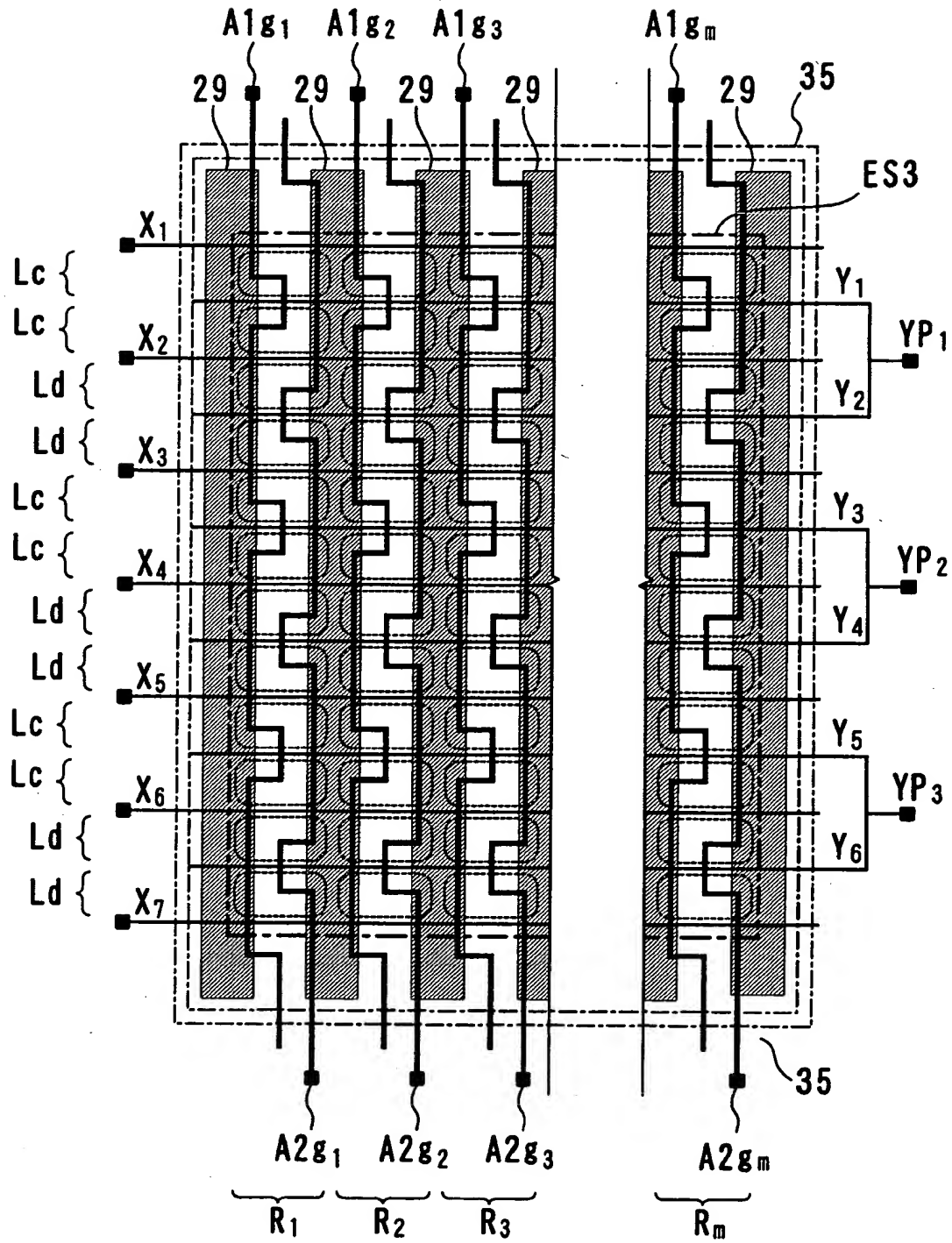
【図 17】

表示電極を流れる表示放電電流の向きを示す図



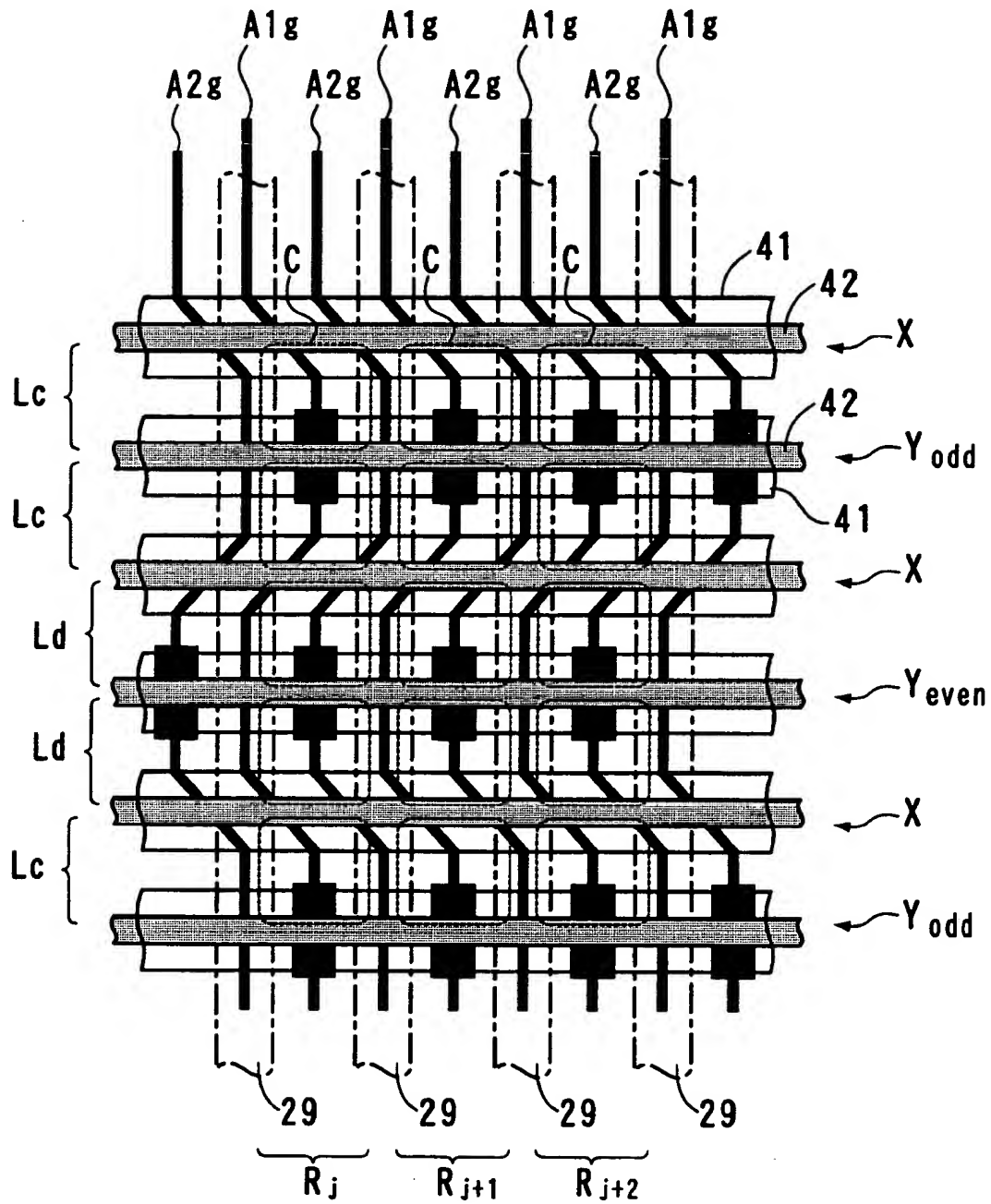
【图 18】

### 電極構造の第 1 例の模式図



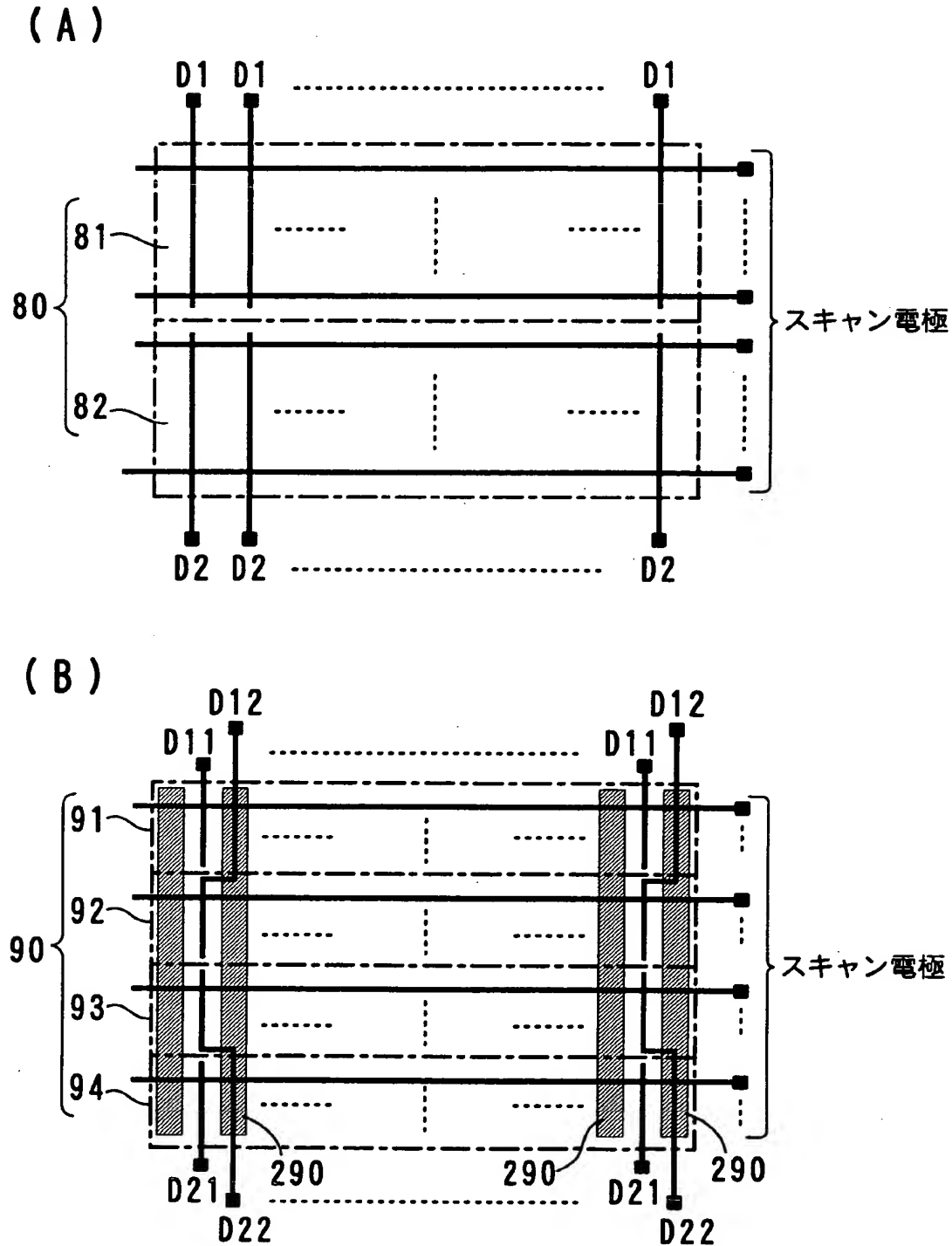
【図 19】

電極構造の第 1 例の詳細を示す平面図



【図 2 0】

従来の PDP の電極構造の模式図





【書類名】 要約書

【要約】

【課題】複雑な多層配線によらずにスキャン電極の電位制御に必要な回路素子の削減を実現することを目的とする。

【解決手段】マトリクス表示の各列 $R_1 \sim R_m$ に対して、列の一端から他端まで連続するデータ電極 $A_{11}, A_{21} \sim A_{1m}, A_{2m}$ を $k$  ( $k \geq 2$ )本ずつ配置し、表示面 $ES$ 内の全てのスキャン電極 $Y_1 \sim Y_6$ を $k$ 個のグループに分類するとともに、各列における $k$ 本のデータ電極に対して $k$ 個のグループを1個ずつ割り当て、各データ電極を、スキャン電極群のうちの当該データ電極に割り当てたグループに属するスキャン電極のみとは平面視において隔壁29と重ならない位置で交差または対向させ、かつ残りのスキャン電極とは隔壁29と重なる位置で交差させる。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [599132708]

1. 変更年月日	1999年 9月17日
[変更理由]	新規登録
住 所	神奈川県川崎市高津区坂戸3丁目2番1号
氏 名	富士通日立プラズマディスプレイ株式会社